

## DATA TYPE CONVERTING CIRCUIT

**Publication number:** JP63223825

**Publication date:** 1988-09-19

**Inventor:** KAMIMURA TAKESHI

**Applicant:** NIPPON ELECTRIC CO

**Classification:**

- international: **G06F7/00; G06F7/76; G06F7/00; G06F7/76; (IPC1-7): G06F7/00**

- European:

**Application number:** JP19870055165 19870312

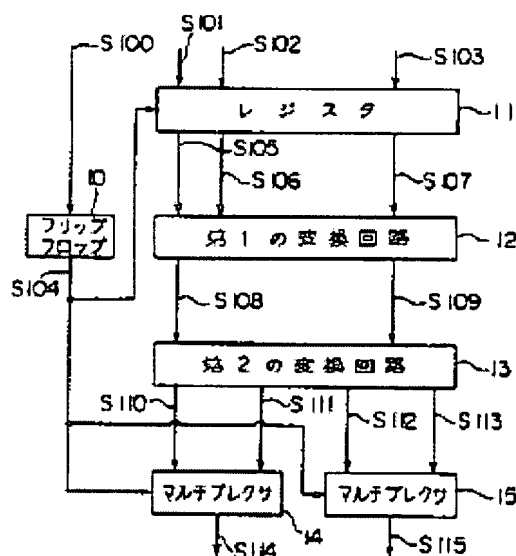
**Priority number(s):** JP19870055165 19870312

**Report a data error here**

### Abstract of JP63223825

**PURPOSE:** To increase the processing speed with a data type converting circuit by converting the integer data into an absolute value expressing form that can be treated by a data drive type processor when the integer data is converted into the floating point data.

**CONSTITUTION:** A signal S101 showing an expression discriminating flag which discrimination whether the expressing form of the integer data is equal to the complement expression of '2' or the absolute value expression is supplied to a register 11 together with a signal S102 showing a code of the integer data and a signal S103 showing the absolute value. The output of the register 11 is supplied to a 1st converting circuit 12 and the integer data expressed in a complement for mis converted into the absolute value expression. While a 2nd converting circuit 13 converts the integer data into a floating point expression form. Thus a code S110 of a mantissa part and a code S111 of an exponent part are delivered together with the absolute value S112 of the mantissa part and the absolute value S113 of the exponent part. The signals of these codes and values are delivered selectively by a flip-flop 10 via multiplexers 14 and 15.



Data supplied from the **esp@cenet** database - Worldwide

## ⑫ 公開特許公報(A)

昭63-223825

⑮ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月19日

G 06 F 7/00

1 0 1

W-7313-5B

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 データ型変換回路

⑯ 特 願 昭62-55165

⑰ 出 願 昭62(1987)3月12日

⑱ 発 明 者 上 村 健 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 岩佐 義幸

## 明 細 書

## 1. 発明の名称

データ型変換回路

## 2. 特許請求の範囲

(1) データ駆動型処理装置におけるデータ型変換回路であって、

2の補数表現の整数データを絶対値表現に変換する第1の変換回路と、

絶対値表現の整数データの符号を表す信号と、絶対値を表す信号が入力され、入力信号で表される整数値を浮動小数点表現に変換し、仮数部の符号と絶対値、指数部の符号と絶対値を出力する第2の変換回路と、

この第2の変換回路の出力から仮数部の符号及びその絶対値と、指数部の符号及びその絶対値を選択して外部回路へ出力する選択手段とを有することを特徴とするデータ型変換回路。

(2) 特許請求の範囲第1項に記載のデータ型変換回路において、

前記第1の変換回路は、

パイプラインクロックを入力し、その入力毎に値が反転する制御信号を出力するフリップフロップからの信号により、整数データの表現形式を識別する表現識別フラグと、整数データの正負を表す符号と、整数データ値とから成る入力信号を取り込み、保持するレジスタの出力値が入力され、2の補数表現の整数データであればこれを絶対値表現に変換して出力し、絶対値表現の場合には上記変換を行わないで出力する選択的な変換回路であって、その出力を前記第2の変換回路に供給し、かつ、前記選択手段が、

上記フリップフロップからの信号により、第2の変換回路より出力される仮数部の符号と指数部の符号から1つを選択し、外部回路へ出力する第1のマルチプレクサと、上記フリップフロップからの信号により、第2の変換回路より出力される仮数部の絶対値と指数部の絶対値から1つを選択し、外部回路へ出力する第2のマルチプレクサとから成ることを特徴とするデータ型変換回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、データ駆動型処理装置におけるデータ型変換回路に関するものであり、特に整数データを高速に浮動小数点データに変換するデータ型変換回路に関するものである。

## 〔従来の技術〕

第4図は整数データの浮動小数点データへの変換を従来方式によって行うデータ駆動型処理装置を示すもので、"COMPCON SPRING '83"の464ページから467ページに、岩下、天満等により「データフローイメージプロセッサ」と題して発表された論文に記載されているデータ駆動型処理装置のブロック図である。これは、演算を実行するプロセッシングユニット(PU)41と、データの行き先アドレスを貯えておくリンクテーブルメモリ(LT)42と、命令を貯えておくファンクションテーブルメモリ(FT)43と、二項演算の片側の入力データを一時貯えておくデータメモリ(DM)44と、データを次のパイプラインステージに流せないときに一時貯えておくキュー

メモリ(QM)45と、外部バスへのデータの出力制御回路(OC)46と、外部バスからのデータの入力制御回路(IC)47により構成される。各ブロック41~47はパイプラインクロックに同期してその入力データを一時保持しておく入力レジスタを含み、全体がパイプラインクロックに同期して動作する。

入力制御回路47は外部より入力される信号S406の一部であるモジュール番号の値を参照し、リンクテーブルメモリ42または出力制御回路46に信号S406を振り分け、出力制御回路46へは信号S407が与えられる。リンクテーブルメモリ42は信号S401の一部であるデータ識別番号をアドレスとしてアクセスされ、次の行き先の識別番号を読み出して旧識別番号と置き換えると同時に演算番号を読み出し、信号S402を生成する。ファンクションテーブルメモリ43は信号S402の一部である演算番号をアドレスとしてアクセスされ、演算の種類を示すファンクションコード及び演算に必要なパラメータを読み出し、信号S403を生成する。

データメモリ44には二項演算のベアとなるデータのうち、先に到着したものが貯えられる。信号S403のデータとベアになるデータが既にデータメモリ44内に貯えられている場合、それを読み出し信号S404を生成する。ベアとなるデータがまだ到着していない場合はそのデータを書き込む。またデータメモリ44には定数演算に必要な定数を貯えることもできる。キューメモリ45には信号が到着順に貯えられ、出力制御回路46またはプロセッシングユニット41が空き次第、読み出されて、出力制御回路46へは信号S405がまたプロセッシングユニット41へは信号S409が送り込まれる。プロセッシングユニット41は2つの入力データ値に対して、ファンクションコードに従い所定の演算を実行し、結果をリンクテーブル42に出力する。

なお、出力制御回路46からは外部バスへのデータとして信号S408が送出される。

このデータ駆動型処理装置では整数データの表現形式として絶対値表現を用いている。

またプロセッシングユニット41は単精度の固定

小数点演算回路しか持っていないため、浮動小数点演算はソフトウェアにより実行される。このとき仮数部、指数部に対する処理内容は全く異なるため、仮数部、指数部をそれぞれ1ワードとし、処理を個々に記述するという方法が採られている。

## 〔発明が解決しようとする問題点〕

しかし、上述のデータ駆動型処理装置において、整数データの浮動小数点データへの変換を行うのに、従来はソフトウェアを用いて変換しなければならず、メモリアクセスのオーバーヘッドが時間的にも容量的に増大してしまう。

すなわち、例えば画像データのような整数データに対して浮動小数点演算を施す場合、まずこれをユーザがソフトウェアにより浮動小数点データに変換しておく必要がある。この処理は以下の4演算から構成される。

- (1) プライオリティエンコーディングによりシフト数を求める。
- (2) シフト数データをコピー。
- (3) データのシフトにより仮数部を求める。

(4) データのビット長から“1”を減じた数よりシフト数を減算し指数部を求める。  
第4図のデータ駆動型処理装置において、実際にこれら各演算を実行するのはプロセッシングユニット41であるから、変換を終了するまでに各データはモジュール41~47の間のリングを4周しなければならない。よってデータの変換に膨大な処理時間を要するという欠点があった。

また、整数データ1ワードは浮動小数点データ2ワードに相当することから、これを外部メモリ上から入力する場合、データ量も倍増してしまう。

本発明の目的は、整数データを浮動小数点データへ変換するという処理を、データ駆動型処理装置において高速に実行し得ると共に、更に、整数データの表現形式に関し、与えられた整数データが2の補数で表現されたものの場合であっても、その整数データをデータ駆動型処理装置で扱うことのできる絶対値表現形式に変換して上述の処理を行えるデータ型変換回路を提供することにある。

(問題点を解決するための手段)

値の4つを用いて行われ、これらが供給される選択手段では、仮数部の符号及びその絶対値の組と、指数部の符号及びその絶対値の組を選択的に出力する。これにより、整数データの浮動小数点データへの変換が行われる。変換は従来のソフトウェアを用いる場合に比し高速に実行でき、かつ2の補数表現の場合であっても絶対値表現形式に変換して処理され、第4図のデータ駆動型処理装置において、本発明の回路をプロセッシングユニットに含めれば、各整数データはプロセッシングユニットを1回通過するだけで浮動小数点データへの変換が終了する。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例であるデータ型変換回路を示すブロック図である。これは第4図のデータ駆動型処理装置のブロック図においては、プロセッシングユニット41の中に1モジュールとして含まれるべきものであり、パイプラインクロッ

ク本発明は、データ駆動型処理装置におけるデータ型変換回路であって、

2の補数表現の整数データを絶対値表現に変換する第1の変換回路と、

絶対値表現の整数データの符号を表す信号と、絶対値を表す信号が入力され、入力信号で表される整数値を浮動小数点表現に変換し、仮数部の符号と絶対値、指数部の符号と絶対値を出力する第2の変換回路と、

この第2の変換回路の出力から仮数部の符号及びその絶対値と、指数部の符号及びその絶対値を選択して外部回路へ出力する選択手段とを有することを特徴としている。

(作用)

本発明のデータ型変換回路における第1及び第2の変換回路は、第1の変換回路では2の補数表現の整数データの絶対値表現への変換が行われ、第2の変換回路では浮動小数点表現への変換が行われる。浮動小数点表現への変換は仮数部の符号、指数部の符号、仮数部の絶対値及び指数部の絶対

クに同期して動作する例である。

本実施例のデータ型変換回路は、第1図に示すように、フリップフロップ10と、レジスタ11と、第1の変換回路12と、第2の変換回路13と、2つのマルチプレクサ14,15を備えている。

フリップフロップ10は、パイプラインクロックを入力信号S100として加えられるフリップフロップで、その入力毎に値が反転する信号S104を出力し、これを制御信号としてレジスタ11と各マルチプレクサ14,15に与えるようになっている。

レジスタ11には、整数データの表現形式が2の補数表現か絶対値表現かを識別する表現識別フラグを表す信号S101と、整数データの正負の符号を表す信号S102と、絶対値を表す信号S103が供給される。このレジスタ11は、このような各情報から成る入力信号を取り込み、保持するレジスタで、その取り込み、保持は、フリップフロップ10により制御され、制御信号として加えられるフリップフロップ10からの信号S104が、“0”か“1”かに応じて行われる。

レジスタ11からは表現識別フラグを表す信号S101、整数データの符号を表す信号S102、絶対値を表す信号S103が、各々の信号S105、信号S106、信号S107として出力され、これらが第1の変換回路12に入力として与えられる。

この変換回路12は選択的な変換回路であって、整数データが2の補数表現の場合には絶対値表現に変換して出力する。入力が絶対値表現のものであるときは、変換は行う必要はない。表現形式がどちらのものは、表現識別フラグが"0"か"1"かで識別される。

第1の変換回路12からの絶対値表現の整数データの符号を表す信号S108と、絶対値を表す信号S109は、第2の変換回路13に与えられる。この第2の変換回路13は、第1の変換回路12の出力信号で表される整数値を仮数部と指数部とで表される浮動小数点表現にするもので、仮数部の符号を表す信号S110と、指数部の符号を表す信号S111と、仮数部の絶対値を表す信号S112と、指数部の絶対値を表す信号S113を出力し、これらを選

択手段としてのマルチプレクサ14,15に与えるようになっている。

ここで、仮数部の符号を表す信号S110が選択され信号S114として外部回路へ出力される場合は、その絶対値を表す信号S112が信号S115として出力されるように、一方、指数部の符号を表す信号S111が信号S114として出力されるときは、その絶対値を表す信号S113が選択され信号S115として外部回路へ出力されるよう、図示の例では、仮数部の符号を表す信号S110と指数部の符号を表す信号S111とが第1のマルチプレクサ14に対して供給されると共に、仮数部の絶対値を表す信号S112と指数部の絶対値を表す信号S113とが第2のマルチプレクサ15に対して供給されており、これら第1及び第2のマルチプレクサ14,15がフリップフロップ10から制御信号として加えられる信号S104によって制御されるようになっている。

このように、本実施例では、データ駆動型処理装置において、パイプラインクロックを入力し、

その入力毎に値が反転する制御信号S104を出力するフリップフロップ10と、

このフリップフロップ10からの信号S104により、整数データの表現形式を識別する表現識別フラグと、絶対値表現された整数データの正負を表す符号と、整数データ値とから成る入力信号を取り込み、保持するレジスタ11と、

このレジスタ11の出力値を入力し、もし2の補数表現の整数データであればこれを絶対値表現に変換する第1の変換回路12と、

第1の変換回路12からの出力信号で表される整数値を浮動小数点表現に変換し、仮数部の符号と絶対値、指数部の符号と絶対値を出力する第2の変換回路13と、

フリップフロップ10からの信号S104により、第2の変換回路13より出力される仮数部の符号と指数部の符号から1つを選択し、外部回路へ出力する第1のマルチプレクサ14と、

フリップフロップ10からの信号S104により、第2の変換回路13より出力される仮数部の絶対値

と指数部の絶対値から1つを選択し、外部回路へ出力する第2のマルチプレクサ15を有する。

更に、第2図及び第3図をも参照しつつ本実施例について具体的に説明する。

ここではデータのビット長が16ビットの場合を例にとって説明する。このとき入力となる整数kの値の範囲は、2の補数表現ならば、

$$-32768 \leq k \leq 32767$$

絶対値表現ならば、

$$-65535 \leq k \leq 65535$$

である。

次に浮動小数fは次のように表現されるものとする。

$$f = m \times 2^e$$

m, eは各々仮数部、指数部を表す整数であり、次の範囲内の値をとる。

$$8000H \leq \|m\| \leq FFFFH$$

$$0000H \leq \|e\| \leq 7FFFH$$

ここで、記号Hは16進整数、記号 $\| \cdot \|$ は絶対値を表す。

|| m || の最上位ビットが小数点以下第1位を示す。また  $f = 0$  の場合は次のような特殊表現を用いるものとする。

$$m = 0\ 0\ 0\ 0\ H$$

$$e = -7\ F\ F\ F\ H$$

さて、第1図の回路は信号 S100, S101, S102, S103 を入力とする。既述した如く、各入力はいびリンクロック、整数データの表現形式が2の補数表現か絶対値表現かを識別する表現識別フラグ、整数データの符号、絶対値を表す。なお、ここでは表現識別フラグは“0”のとき絶対値表現入力、“1”のとき2の補数表現入力を表すものとする。

フリップフロップ10は信号 S100 のパイプラインクロックを入力とし、このクロックが入力される毎に値が反転する信号 S104 を生成し、レジスタ11、マルチプレクサ14、マルチプレクサ15に対して出力する。

レジスタ11は信号 S104 の値が“0”ならば入力信号 S101, S102, S103 を取り込み、“1”で

あれば取り込まずに現在の値を保持する。これは外部回路のバス幅の制約により、第1図の回路の処理結果を外部回路へ出力するのに2クロック時間を要するため、2クロックに1回以上の頻度でデータが入力されることを禁ずるためである。

第1の変換回路12はレジスタ11の出力信号 S105, S106, S107 を入力とし、絶対値表現された整数データの符号と絶対値を各々信号 S108, S109 として出力する。

ここで、第2図は第1図の回路にモジュールとして含まれている第1の変換回路12の一具体例を示すブロック図であり、以下これを説明する。第2図中の“0H”, “7FFFFH”, “8000H”は各々16進定数を表している。第2図において、この第1の変換回路は信号 S200, S201, S202 を入力とする。各信号は第1図の信号 S105, S106, S107 に該当し、各々表現識別フラグ、整数データの符号、絶対値を表す。既に述べたように、表現識別フラグは“0”のとき絶対値表現、“1”のとき2の補数表現を表すものとする。

ブライオリティエンコーダ20は絶対値に対し、最上位のビット位置から数えて、何番目のビットが初めて論理“1”となるかを求め、信号 S204 として出力する。

比較器21では信号 S204 の値と信号 S203 の“0H”とを比較し、もし両者が一致すれば“1”を、一致しなければ“0”を信号 S205 として出力する。2の補数表現の整数が入力されたとき、信号 S205 が“0”ならば入力は非負の整数、“1”ならば負の整数であることを示している。

論理演算器24は信号 S202 の値と“7FFFFH”との間でビット毎の論理積を求め、信号 S209 として出力する。

減算器25は信号 S209 の値を信号 S208 の“8000H”より減じ、信号 S210 として出力する。信号 S210 の値は2の補数表現で入力された負の整数の絶対値を表している。

論理演算器23は比較器21の出力信号 S205 と表現識別フラグ信号 S200 との間で論理積を求め、信号 S206 として出力する。

マルチプレクサ22は信号 S200 により制御され、信号 S201 と信号 S205 から1つを選択し、信号 S211 として出力する。

またマルチプレクサ26は信号 S206 により制御され、信号 S202 と信号 S210 から1つを選択し、信号 S212 として出力する。

出力信号 S211, S212 は各々絶対値表現された整数の符号と絶対値を表し、各々第1図の信号 S108, S109 に該当する。信号 S200 の値が“0”の場合は入力が絶対値表現であるから、マルチプレクサ22, 26 は各々入力信号 S201, S202 をそのまま信号 S211, S212 として出力する。一方、信号 S200 の値が“1”の場合は2の補数表現であるから、マルチプレクサ22は符号として信号 S205 を選択し、マルチプレクサ26は絶対値として、入力が非負であれば信号 S202 を、負であれば信号 S210 を選択する。

このようにして、表現識別フラグを参照し、2の補数表現の整数データであればこれを絶対値表現に変換することができる。

次に、第1図において、第2の変換回路13は第1の変換回路12の出力信号S108, S109を入力とし、浮動小数点表現に変換後の仮数部の符号、指数部の符号、仮数部の絶対値、指数部の絶対値を、各々信号S110, S111, S112, S113として出力する。

この第2の変換回路13については、一例として次のように構成することができる。

すなわち、第3図は第1図の回路にモジュールとして含まれている第2の変換回路13の一具体例を示すブロック図であり、以下これを説明する。

第3図において、この第2の変換回路は信号S314, S300を入力とする。各信号は第1図の信号S108, S109に該当し、各々絶対値表現された整数データの符号、絶対値を表す。

プライオリティエンコーダ30は絶対値に対し、最上位のビット位置から数えて、何番目のビットが初めて論理"1"となるかを求め、信号S303として出力する。

比較器31では絶対値と信号S301の"0000

302の値が"1"のときは"±0000H"が入力された場合であり、各マルチプレクサは"1"の信号S306, "0000H"の信号S308, "7FFFH"の信号S310を選択する。

出力信号S314, S311, S312, S313は各々浮動小数点表現に変換後の仮数部の符号、指数部の符号、仮数部の絶対値、指数部の絶対値を表し、第1図の信号S110, S111, S112, S113に該当する。

このようにして、仮数部の符号、指数部の符号、仮数部の絶対値、指数部の絶対値を各々表すものが得られると、第1図に示すように、これらのうち前2者については第1のマルチプレクサ14に、また後2者については第2のマルチプレクサ15に与えられる。

マルチプレクサ14, 15はいずれもフリップフロップ10からの信号S104により制御され、2つの入力信号から1つを選択し、信号S114, S115として外部回路へ出力する。信号S104の値が"0"のとき、マルチプレクサ14, 15は各々信号S110, S112を選択する。すなわち仮数部の符号と絶対

H"とを比較し、もし両者が一致すれば"1"を、一致しなければ"0"を信号S302として出力する。信号S302は、入力整数"±0000H"に対して特殊な浮動小数点表現を与える際の制御信号として用いている。

シフト器32は絶対値を、信号S303の値だけ左側にビットシフトし、結果を信号S307として出力する。

減算器33には、信号S303が与えられると共に、"FH"の信号S304が加えられており、減算器33は、ビット長16から"1"を減じて得られる定数"FH"から信号S303の値を減じ、結果を信号S309として出力する。

マルチプレクサ34, 35, 36はいずれも比較器31からの信号S302により制御され、2つの入力信号から1つを選択し、信号S311, S312, S313として出力する。すなわち、信号S302の値が"0"のときは"±0000H"以外の整数が入力されたことを意味し、各マルチプレクサは"0"の信号S305, S307, S309を選択する。一方、信号S

値を外部回路へ出力する。一方、信号S104の値が"1"のときは、各マルチプレクサは信号S111, S113を選択し、指数部の符号と絶対値を外部回路へ出力する。

このようにして整数データを浮動小数点データに変換することができるので、データ駆動型処理装置において、かかるデータ型変換回路で変換を行うことにより、従来のソフトウェアを用いる場合のように膨大な処理時間を要したり、データ量が倍増してしまうということはない。

更に、整数データの表現形式に関しても、例えば2の補数で表現された整数データが与えられた場合はこれを絶対値表現に変換する必要があるが、第1図のように、第1の変換回路12を備えているので、整数データが2の補数表現のものであっても対応でき、整数データをデータ駆動型処理装置で扱うことのできる絶対値表現に変換し、更に浮動小数点データへ変換するという処理をデータ駆動型処理装置において高速に実行することができる。

(発明の効果)

以上説明したように、本発明によれば、整数データを高速に浮動小数点データに変換することができると共に、2の補数表現の整数データであっても対応でき、整数データを浮動小数点データに変換する回路をデータ駆動型処理装置に加えることにより、従来のソフトウェアを用いて変換する手間が省けるだけでなく、メモリアクセスのオーバーヘッドが時間的にも容量的にも大きく削減できるという効果を持つ。

4. 図面の簡単な説明

第1図は本発明の一実施例のデータ型変換回路のブロック図、

第2図は第1図に示す第1の変換回路の一具体例のブロック図、

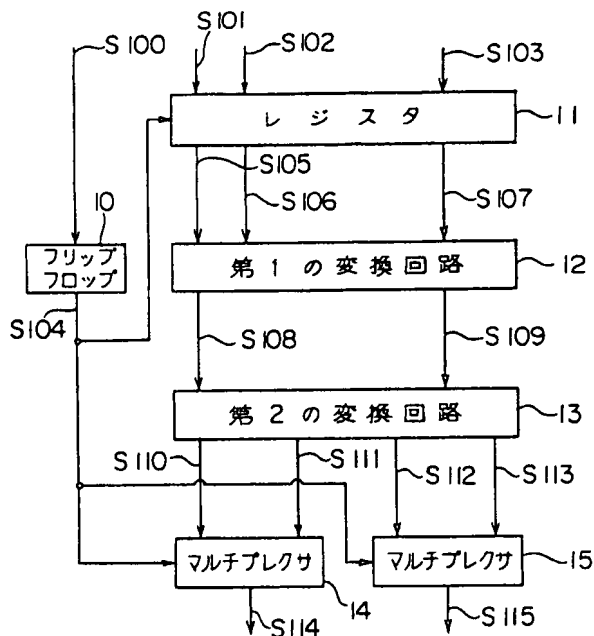
第3図は同じく第2の変換回路の一具体例のブロック図、

第4図は従来方式に従うデータ駆動型処理装置のブロック図である。

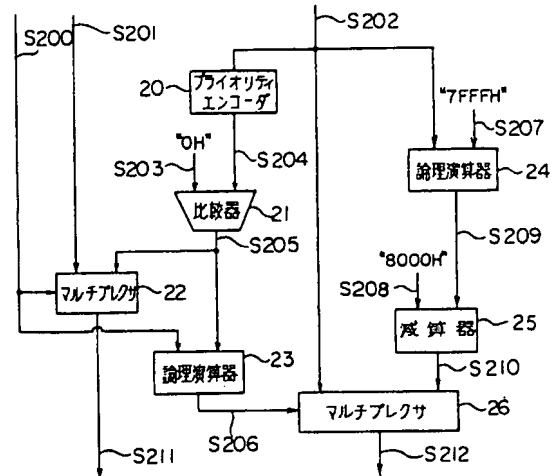
10・・・フリップフロップ

11・・・レジスタ  
12・・・第1の変換回路  
13・・・第2の変換回路  
14,15,22,26,34,35,36・・・マルチプレクサ  
20,30・・・プライオリティエンコーダ  
21,31・・・比較器  
23,24・・・論理演算器  
25,33・・・減算器  
32・・・シフト器  
41・・・プロセッシングユニット(PU)  
42・・・リンクテーブルメモリ(LT)  
43・・・ファンクションテーブルメモリ(FT)  
44・・・データメモリ(DM)  
45・・・キューメモリ(QM)  
46・・・出力制御回路(OC)  
47・・・入力制御回路(IC)

代理人 弁理士 岩佐 義幸

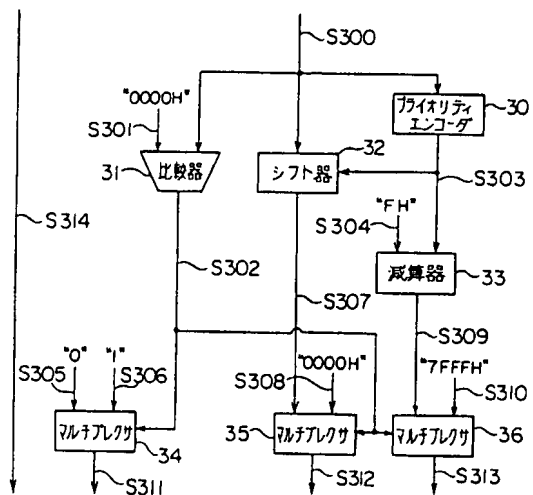


第1図

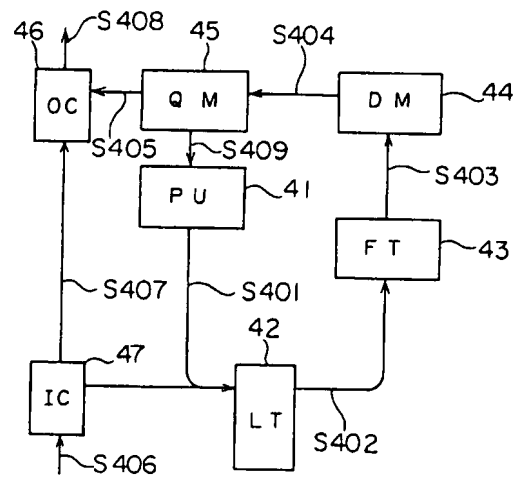


第2図





第 3 図



第 4 図